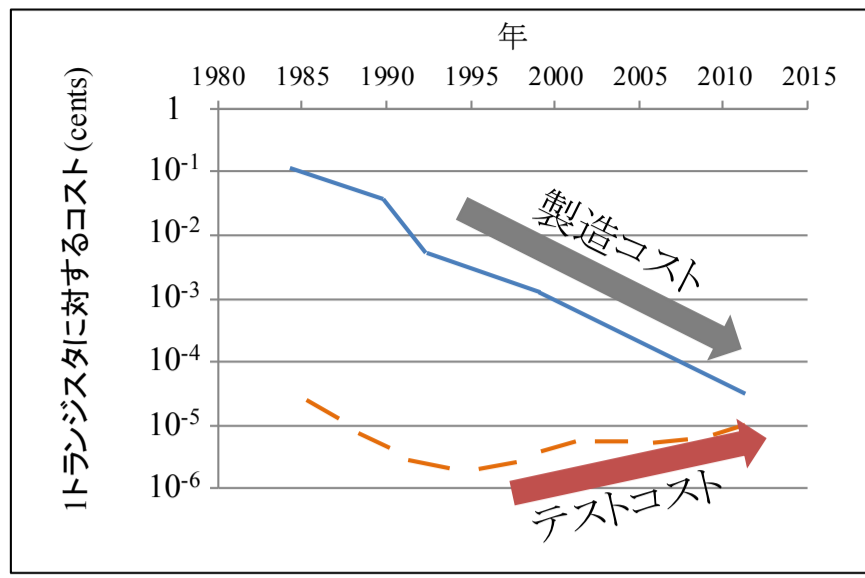


## 研究背景

- 半導体製造コスト：減少
- テストコスト：増加
- テストコスト $\propto$ テスト時間
- 要求事項
  - 低コストテスト
  - 高品質テスト



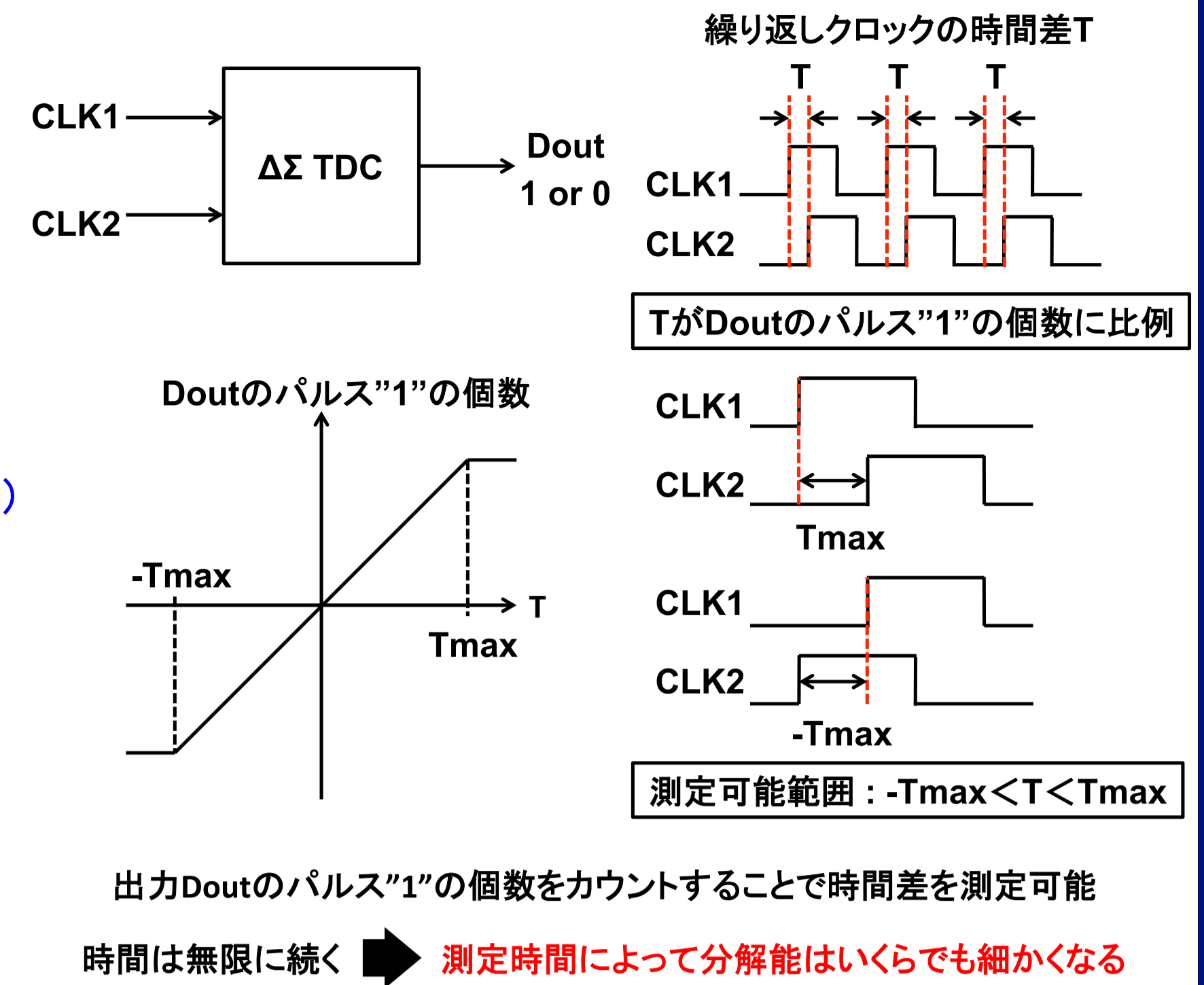
低コスト・高品質テスト技術が重要

高速デジタルインターフェース回路のテストに注目

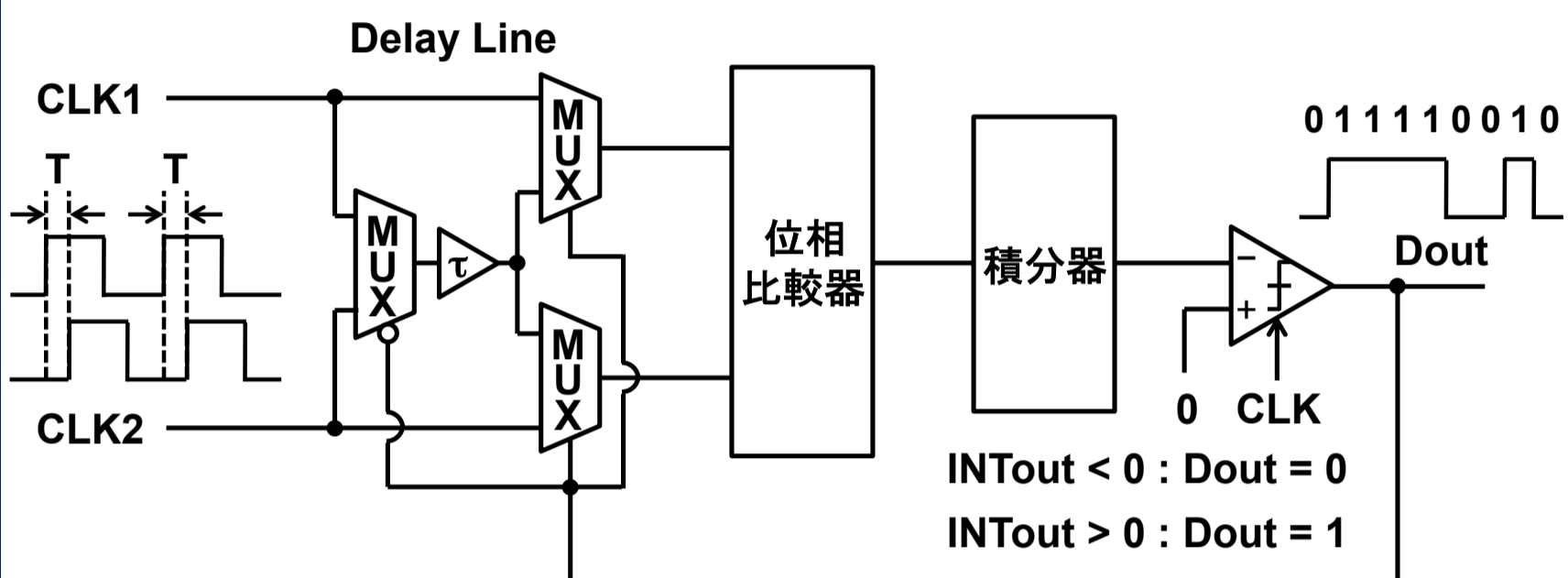
## 研究目的

- 2つの繰返しクロック間の時間差テスト
  - DDRメモリのデータ・クロック間の時間差の測定・試験
  - クロックの位相ノイズの測定・試験
- 短時間・高精度な時間差テスト回路の実現
  - シングルビット $\Delta\Sigma$  TDC
    - (TDC: Time-to-Digital Converter)
    - 簡単な回路
    - 高時間分解能
    - ややテスト時間が長い
  - マルチビット $\Delta\Sigma$  TDC
    - 簡単な回路
    - 高時間分解能
    - 短時間化(低コストテスト)
    - 遅延素子のばらつきによる非線形性
- マルチビット $\Delta\Sigma$  TDCの非線形の問題を解く方法を2つ提案
- 廉価テストによる $\Delta\Sigma$  TDCを利用したBOSTの実現
  - PSoC(アナログ回路を搭載したFPGA)を用いて実装
  - 高品質化のための手法を提案

## $\Delta\Sigma$ TDCについて

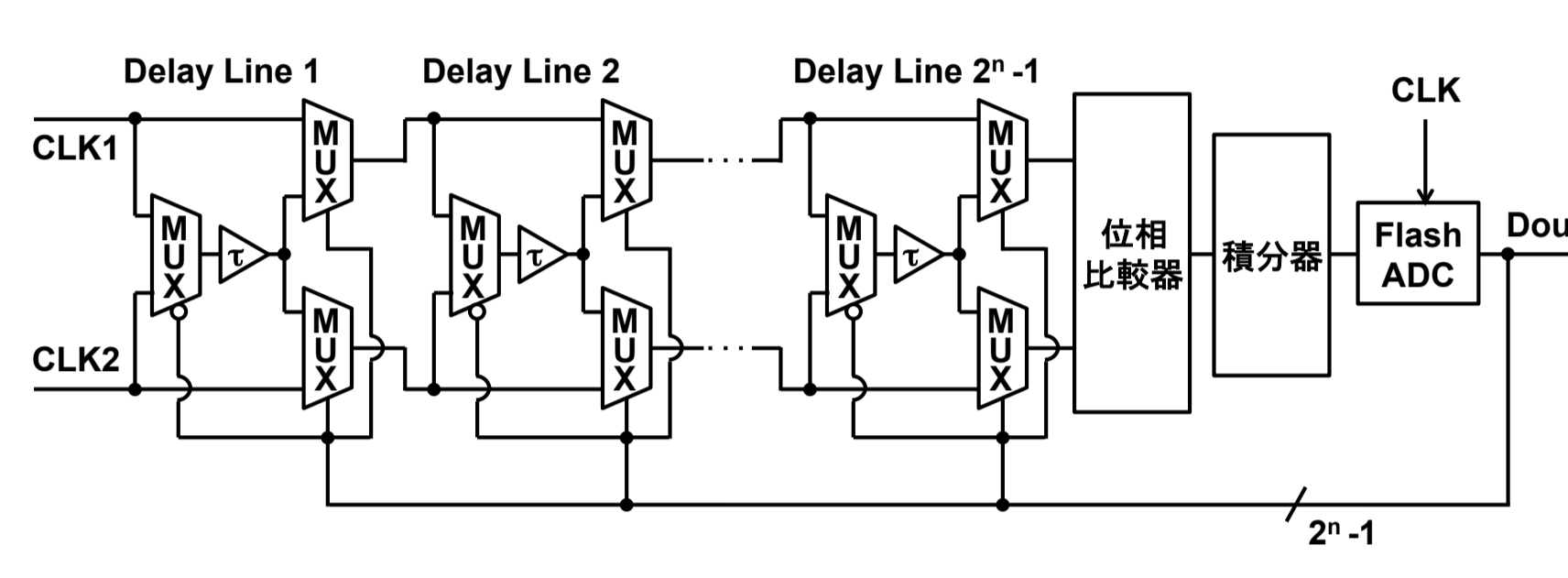


## シングルビット $\Delta\Sigma$ TDC



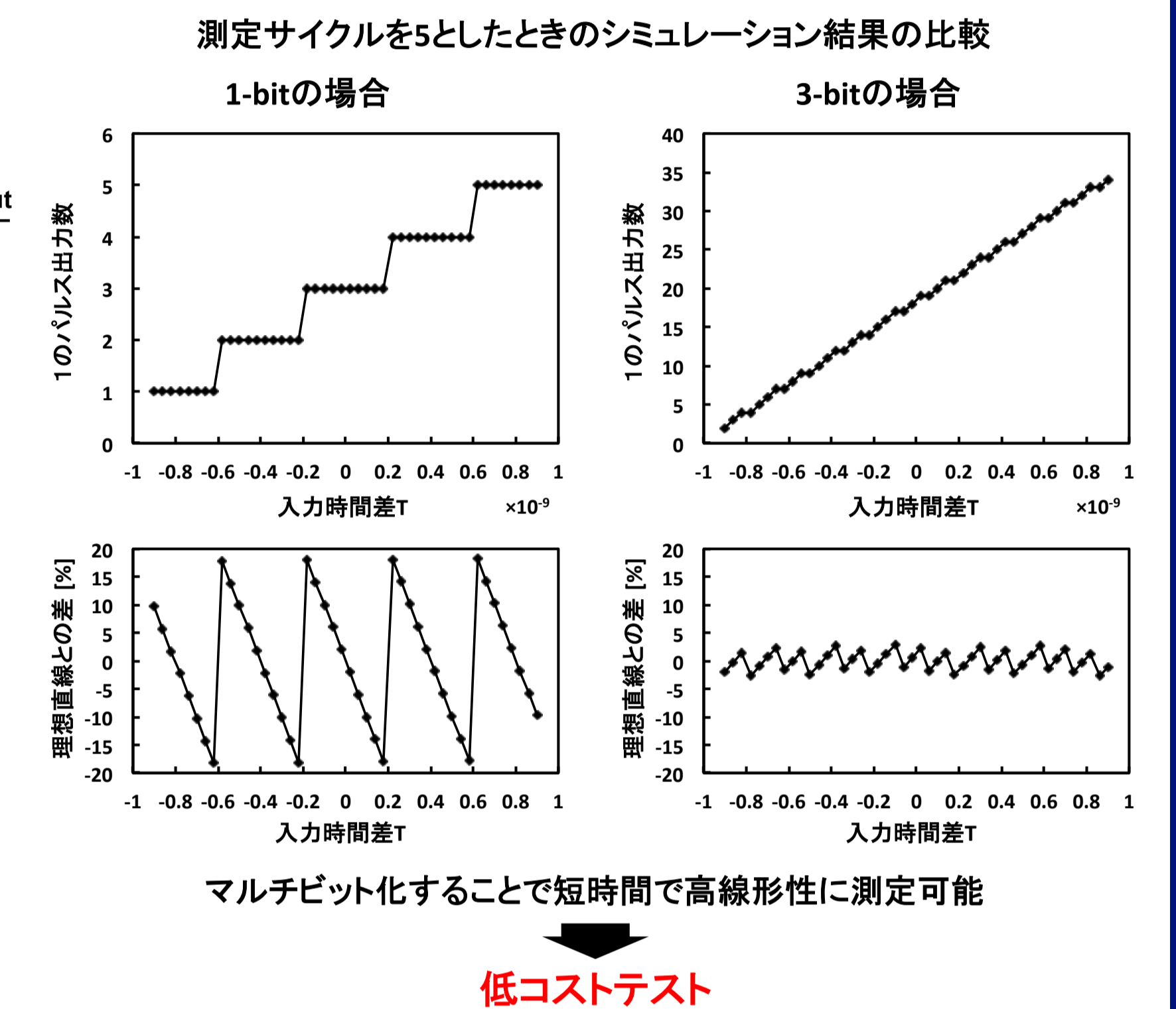
- 測定可能範囲： $-\tau < T < \tau$
- 簡単な回路
- 高線形性
- 時間分解能： $2\tau/N$  (N:測定サイクル)
  - 測定サイクルの増加により分解能が向上

## マルチビット $\Delta\Sigma$ TDC

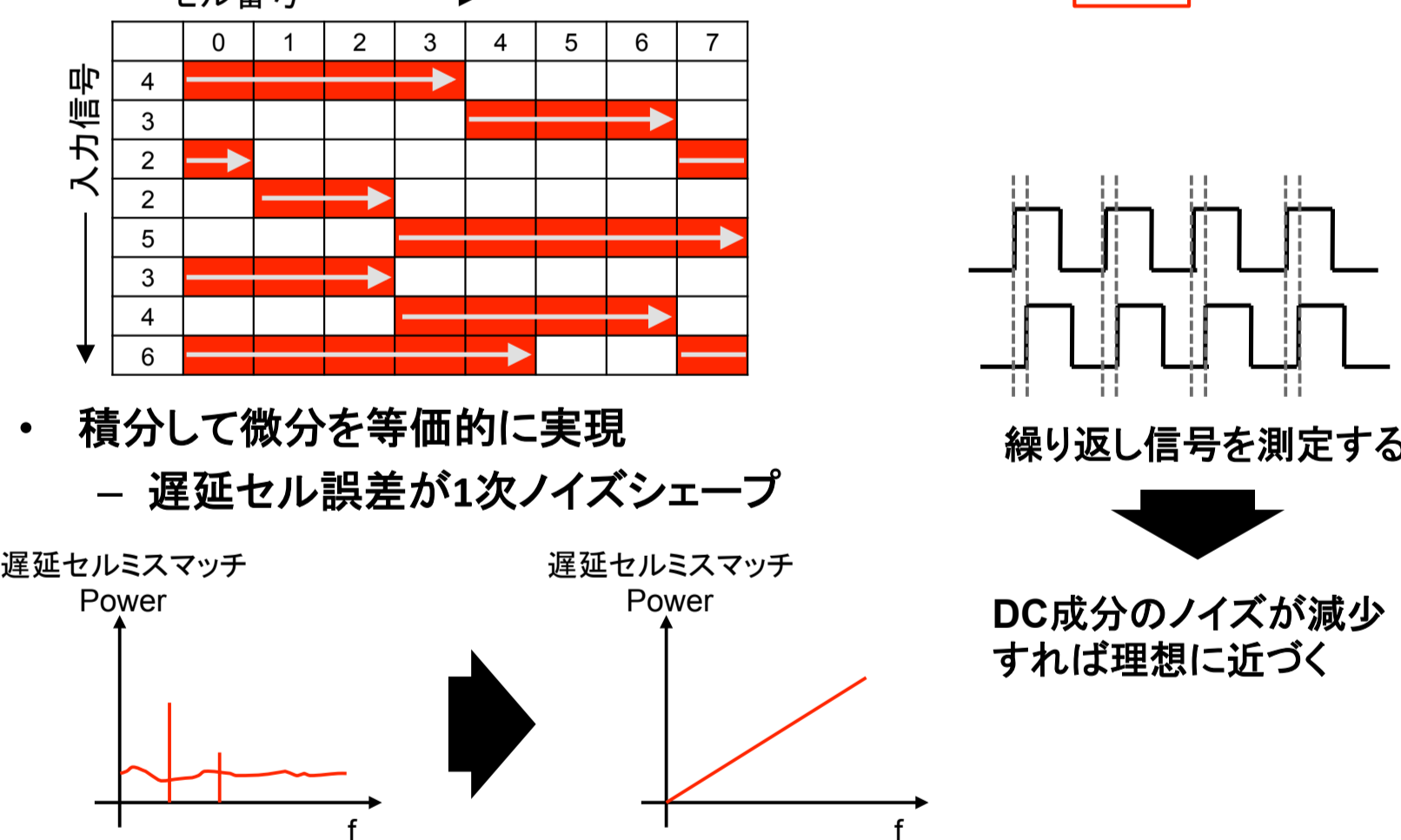
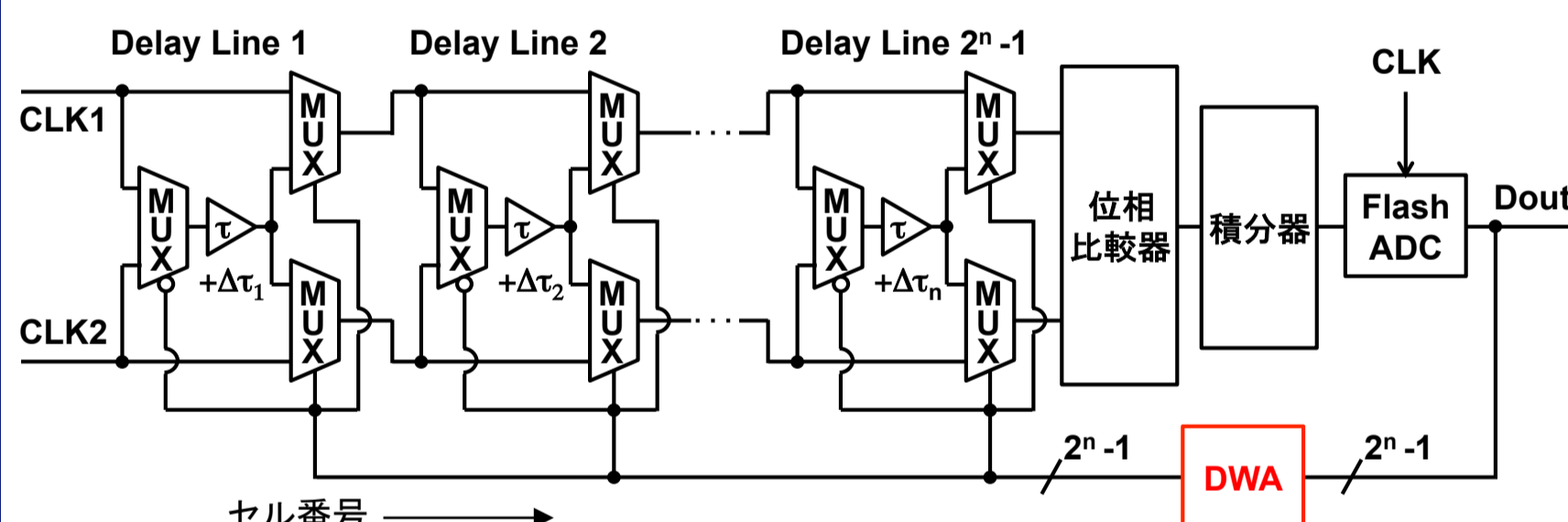


- 遅延素子, マルチプレクサを増やしマルチビット化
- n-bitの場合: 1サイクルで $2^n-1$ 個の出力パルス
- 測定可能範囲： $-(2^n-1)\tau < T < (2^n-1)\tau$
- 高線形性
- Flash ADCの出力結果で経路選択
- 遅延素子のばらつきにより非線形性が発生
  - 非線形性の問題を解く方法を2つ提案

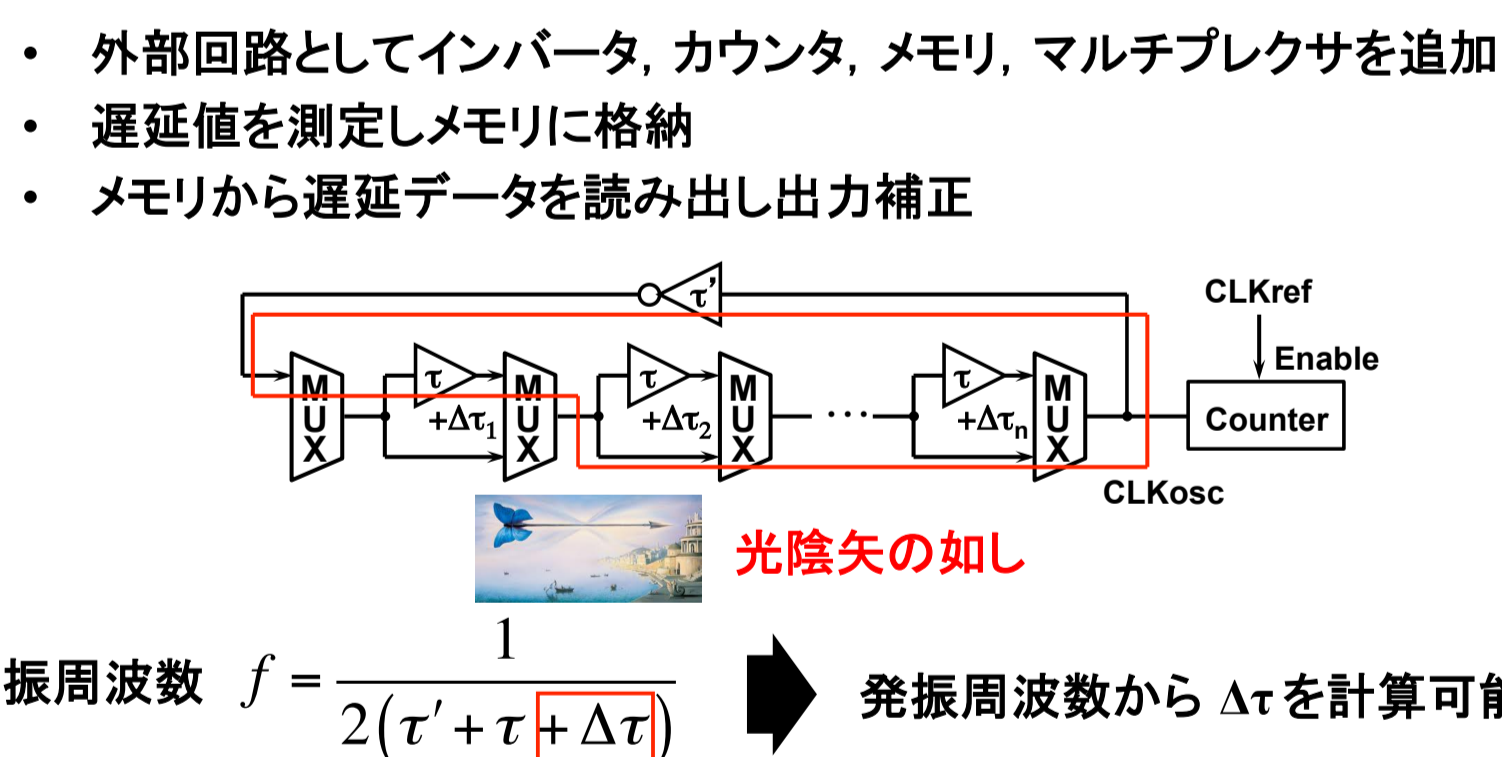
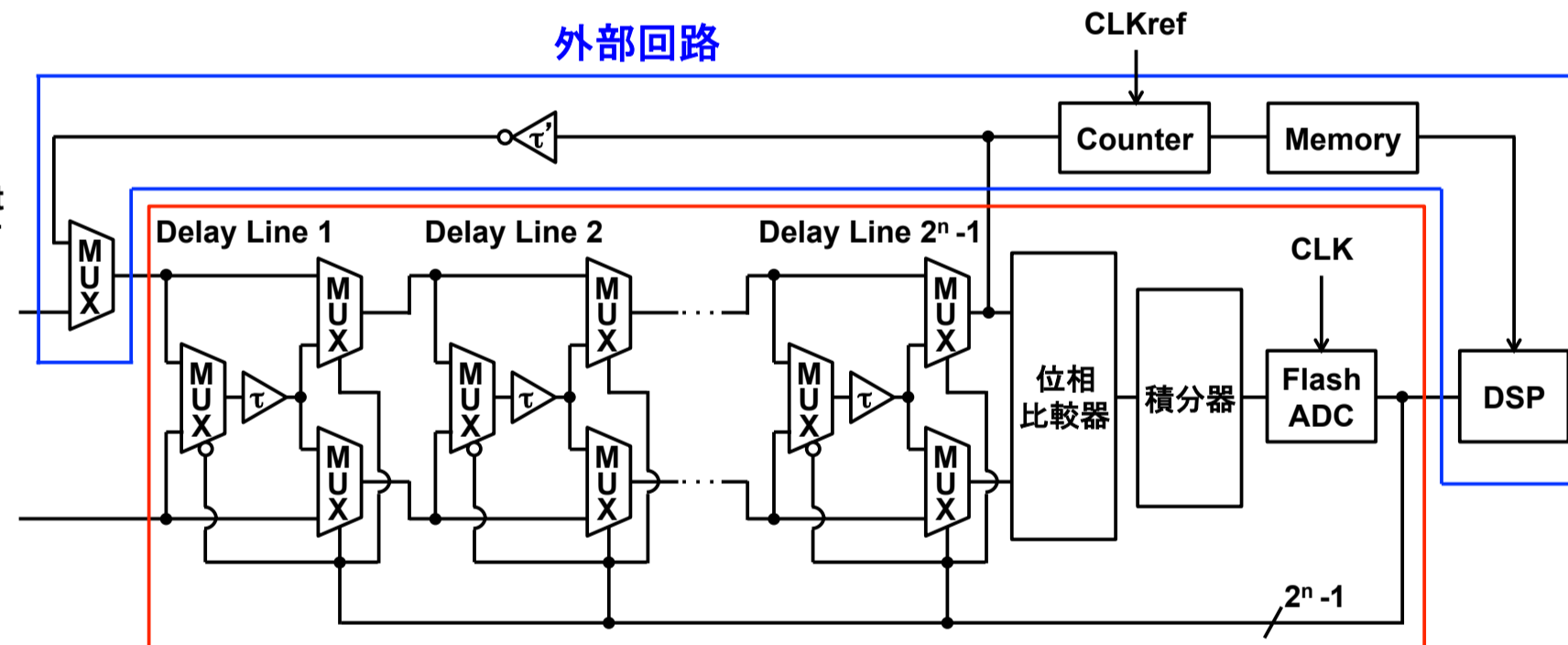
## マルチビット化の利点



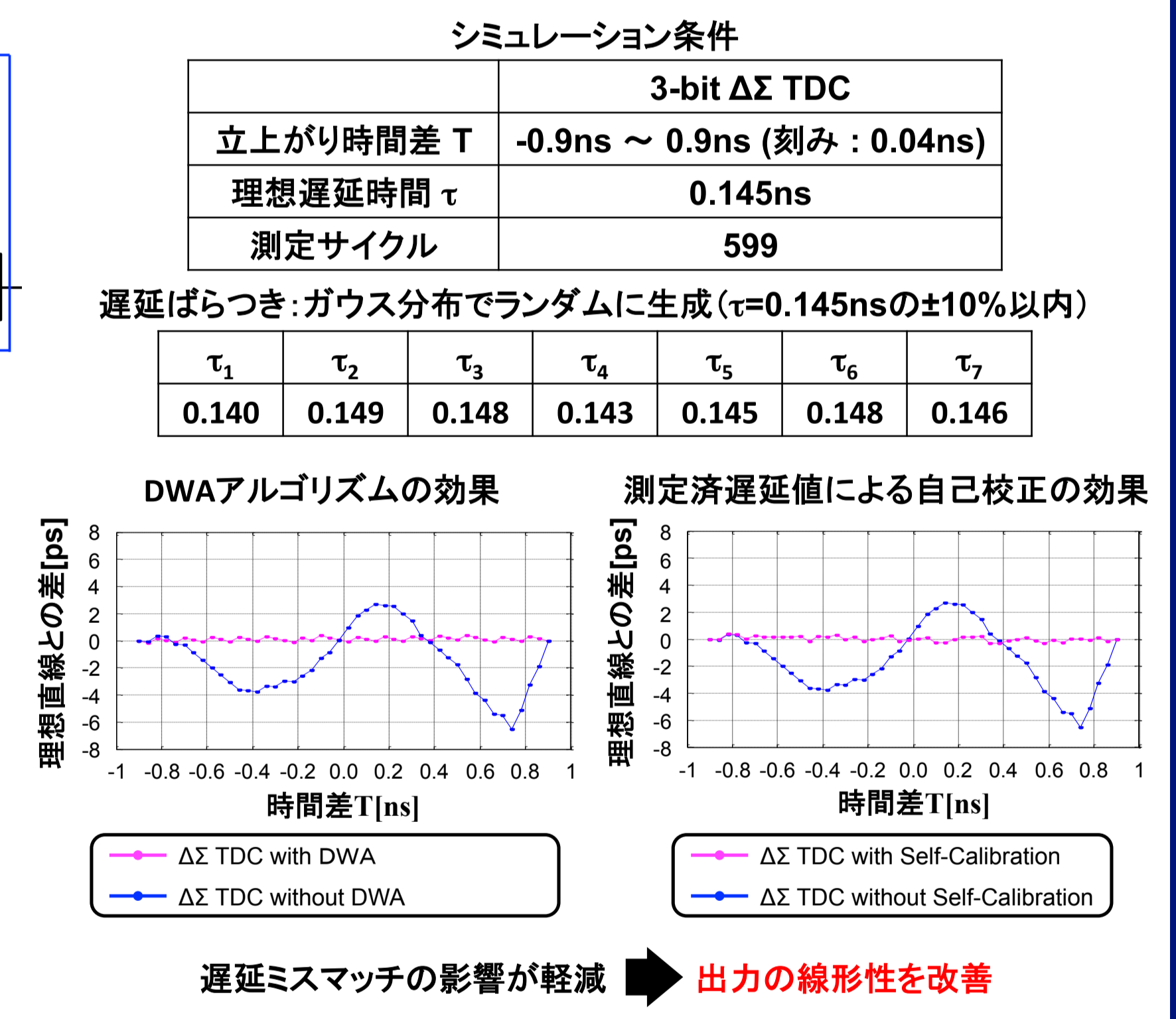
## DWAアルゴリズム



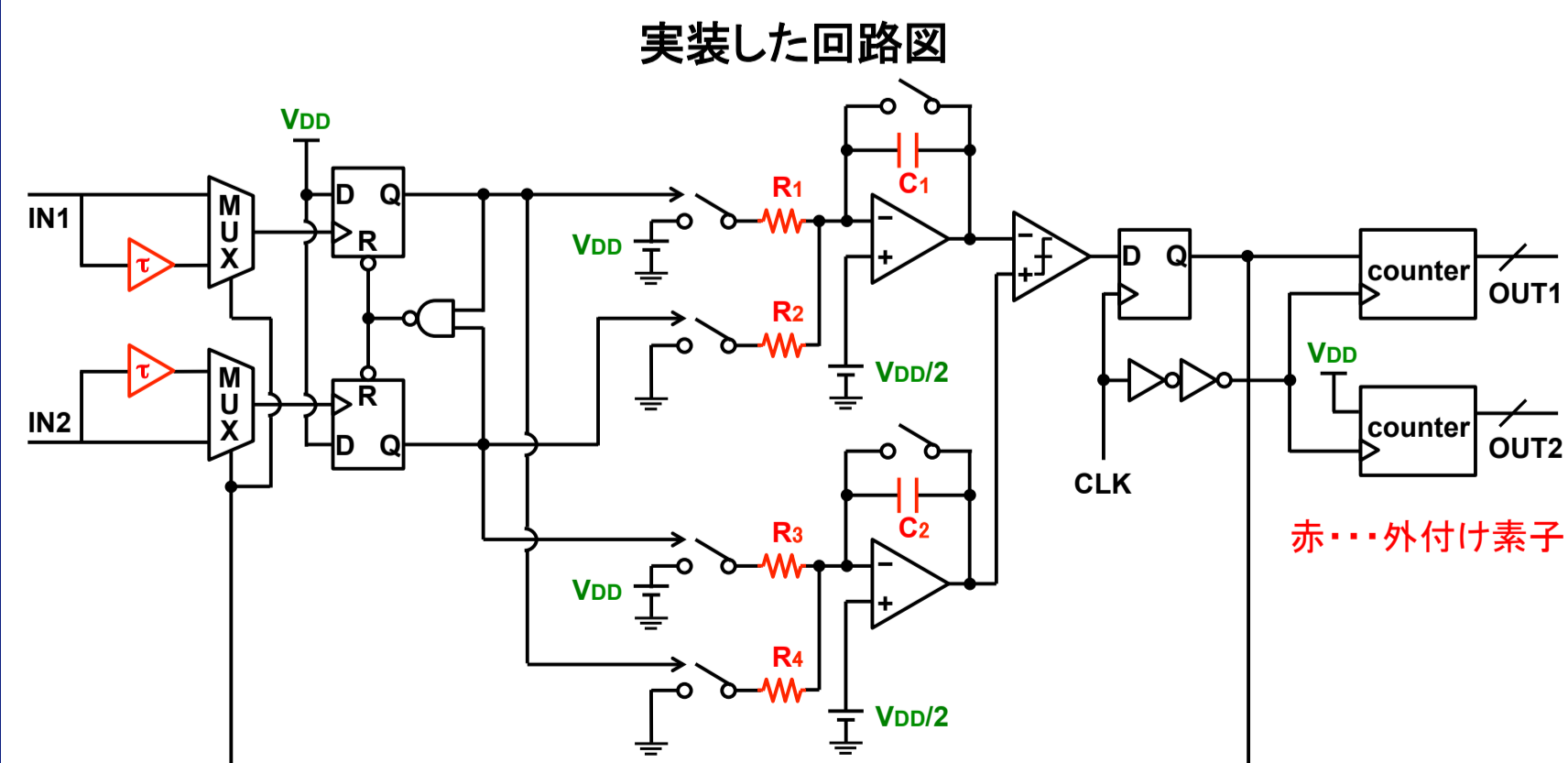
## デジタル自己校正



## シミュレーションによる確認



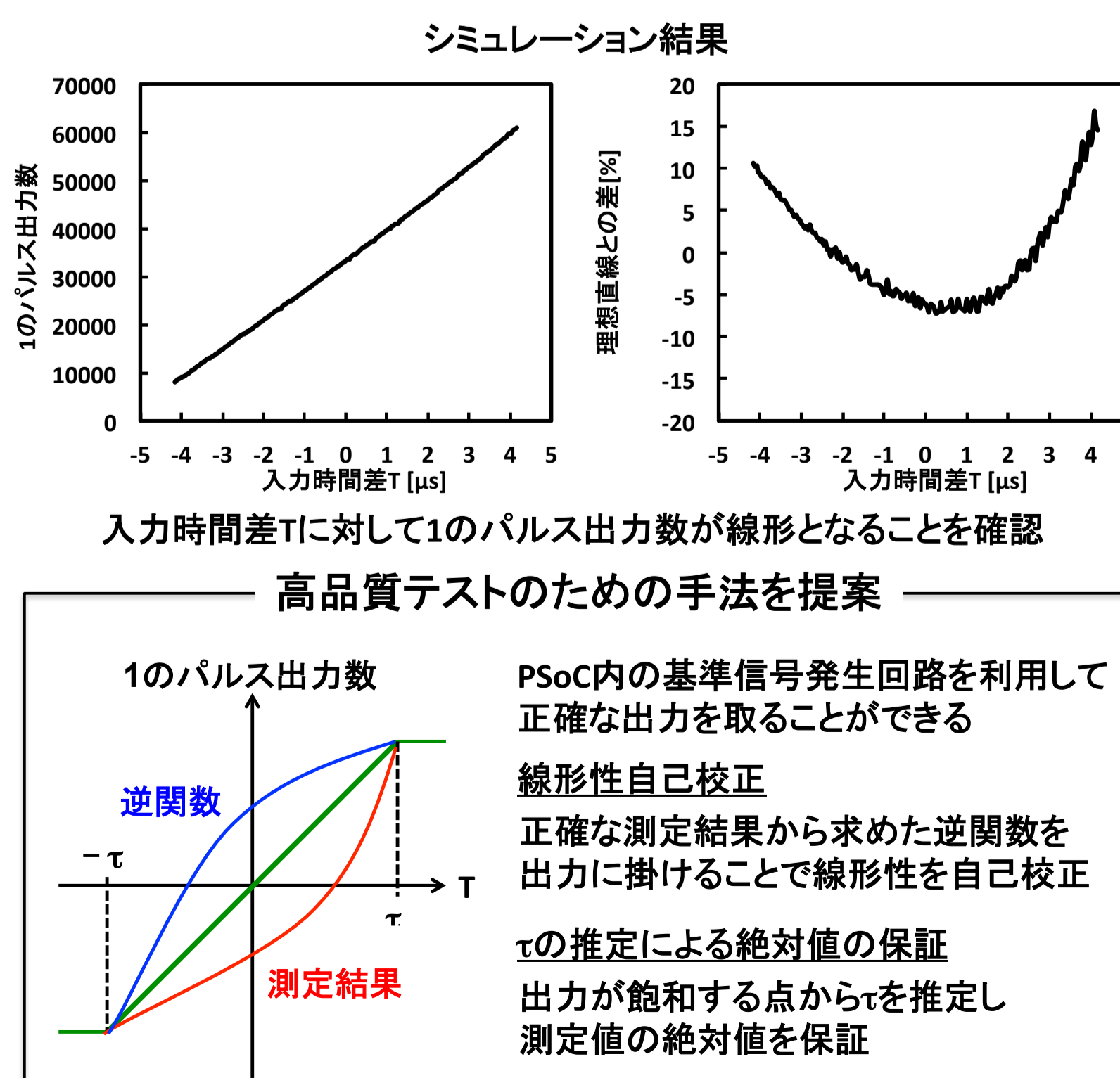
## シングルビット $\Delta\Sigma$ TDCのPSoC実装



PSoC: Programmable System-on-Chip

電源電圧 VDD	1.8V
入力周波数	20kHz
遅延素子 $\tau$	5 $\mu$ s
測定サイクル	65535
R1~R4	10k $\Omega$
C1, C2	0.1 $\mu$ F

## 測定結果と高品質化手法の提案



## まとめ

- 時間差測定回路として $\Delta\Sigma$  TDCを検証
- マルチビット $\Delta\Sigma$  TDCを提案
  - 短時間・高時間分解能な測定が可能
  - 遅延誤差により測定誤差が生じる
- 遅延誤差補正のための2つの手法を提案
  - DWAアルゴリズムによる補正
  - 測定済遅延値情報を用いた自己校正
  - 線形性を改善可能
- シングルビット $\Delta\Sigma$  TDCをPSoCにて実機検証
  - $\Delta\Sigma$  TDCの動作を確認
  - 高品質化のための手法を提案
- 今後はマルチビット $\Delta\Sigma$  TDCの実機を検証予定